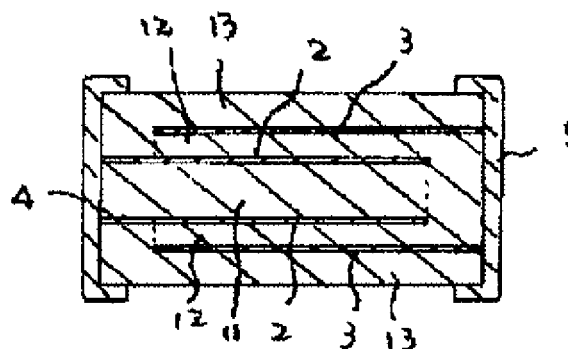
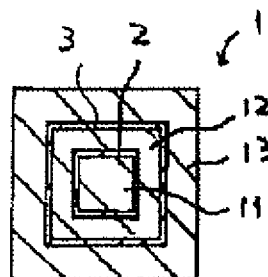


**CERAMICS CAPACITOR****Patent number:** JP10275734**Publication date:** 1998-10-13**Inventor:** NISHI YUKIHIRO**Applicant:** KYOCERA CORP**Classification:****- International:** H01G4/12; H01G4/30; H01G4/12; H01G4/30; (IPC1-7):  
H01G4/12; H01G4/30**- european:****Application number:** JP19970078669 19970331**Priority number(s):** JP19970078669 19970331[Report a data error here](#)**Abstract of JP10275734**

**PROBLEM TO BE SOLVED:** To provide a ceramics capacitor of low capacity and resistance, while excellent in impact resistance. **SOLUTION:** In an almost rectangular parallelepiped, dielectrics ceramics main body 1, first and second cylindrical internal electrodes 2 and 3 which, being coaxial, extend in longitudinal direction are allocated, and, the end part of the first cylindrical internal electrode 2 is connected to the first terminal electrode 4 formed on one end surface of a pair of facing end surfaces of the dielectrics ceramics main body 1, while that of the second cylindrical internal electrode 3 connected to the second terminal electrode 5 is formed on the other end surface.

Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-275734

(43)公開日 平成10年(1998)10月13日

(51)Int.Cl.<sup>9</sup>H 0 1 G 4/12  
4/30

識別記号

3 5 2  
3 0 1

F I

H 0 1 G 4/12  
4/303 5 2  
3 0 1 D

審査請求 未請求 請求項の数 1 O L (全 9 頁)

(21)出願番号 特願平9-78669

(22)出願日 平成9年(1997)3月31日

(71)出願人 000006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町5番地  
の22

(72)発明者 西 幸宏

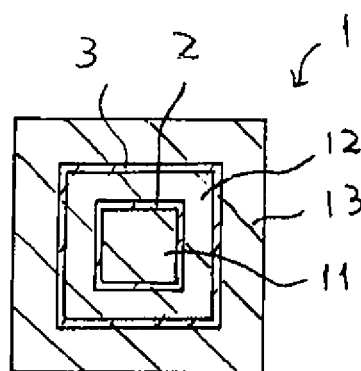
鹿児島県国分市山下町1番1号 京セラ株  
式会社鹿児島国分工場内

(54)【発明の名称】 セラミックコンデンサ

(57)【要約】

【課題】 低容量、低抵抗で、しかも、耐衝撃性に優れたセラミックコンデンサを提供する。

【解決手段】 概略直方体状の誘電体セラミック本体1内に、長手方向に延びかつ同芯状の第1および第2の筒状内部電極2、3を配置するとともに、前記第1の筒状内部電極2の端部は、前記誘電体セラミック本体1の対向する1対の端面の一方の端面に形成された第1の端子電極4に接続するとともに、前記第2の筒状内部電極3の端部は、他方の端面に形成された第2の端子電極5に接続している。



## 【特許請求の範囲】

【請求項1】 概略直方体状の誘電体セラミック本体内に、該本体の長手方向に延びる第1の筒状内部電極と、該第1の筒状内部電極の外周を囲む第2の筒状内部電極を夫々配置するとともに、前記第1の筒状内部電極の一方の端部を、前記誘電体セラミック本体の対向する1対の端面の一方の端面に形成された第1の端子電極に接続させるとともに、前記第2の筒状内部電極の一方の端部は、他方の端面に形成された第2の端子電極に接続させたことを特徴とするセラミックコンデンサ。

## 【発明の詳細な説明】

## 【0001】

【発明が属する技術分野】本発明はセラミックコンデンサに関し、特に、800MHz～2GHzの高周波帯域で動作する回路にて低容量、低抵抗特性を満足し得るセラミックコンデンサである。

## 【0002】

【従来の技術】従来より、図16に示すように、セラミックコンデンサは、誘電体セラミック本体101内に、第1の内部電極層102と第2の内部電極層103を互いに積層して形成していた。そして、第1の内部電極層102は、誘電体セラミック本体101の互いに対向しあう一対の端面の一方の端面に導出し、この一方の端面に形成された第1の端子電極104と電気的に接続していた。また、第2の内部電極層103は、誘電体セラミック本体101の互いに対向しあう一対の端面の他方の端面に導出し、この他方の端面に形成された第2の端子電極105と電気的に接続していた。

【0003】これにより、第1の内部電極層102と第2の内部電極層103との対向面積、第1の内部電極層102と第2の内部電極層103との間の誘電体セラミック層の誘電率、その厚みによって、所定容量が形成され、この容量が第1の端子電極104と第2の端子電極105から導出されていた。

【0004】ここで、誘電体セラミック本体101の材料は、 $MgTiO_3$ 、 $BaTiO_3$ 、 $CaTiO_3$ などが用いられ、内部電極層102、103はPd、Ag-Pdなどが用いられ、端子電極104、105は、Ag、Ag-Pdなどの厚膜導体膜とNi、半田などのメッキ層とから構成されていた。

【0005】低容量（10pF以下）のセラミックコンデンサは、高周波帯域、例えば800～2GHzで動作する高周波回路で多用されているが、抵抗成分（等価直列抵抗）が200～400mΩ程度と大きく、低抵抗（高Q値）を必要とする回路、例えば共振回路やマッチング回路などでは、信号に対するノイズ成分が大きくなり、コンデンサで消費される電力が大きくなり、これにより回路動作が不安定になってしまう。

【0006】従来、抵抗成分を下げた高周波用セラミックコンデンサとして、第1の内部電極層同士を隣接積層

し、また、第2の内部電極層同士を隣接積層し、一枚の第1の内部電極層が第2の容量電極層と対向する面を一方面に限定する構造が提案されている（特開昭60-201608号）。

【0007】また、第1および第2の内部電極を分割して、分割された電極層を千鳥状に対向させて配置する構造が提案されている（特開平2-15606号）。

【0008】さらに、端子電極との接続部分の幅を広げた内部電極層の構造が提案されている（特開平2-128414号）。

## 【0009】

【発明が解決しようとする課題】しかし、これら誘電体セラミック本体101内に形成された内部電極層102、103は、平面状となっており、積層セラミックコンデンサを基調とするものであり、種々の構造状の改善によっても、抵抗成分は約200mΩ程度が限界であった。

【0010】本発明は、上述の課題に鑑みて案出されたものであり、内部電極の根本的な構造に改良を加え、低容量、低抵抗で、しかも、耐衝撃性に優れたセラミックコンデンサを提供するものである。

## 【0011】

【課題を解決するための手段】本発明は、概略直方体状の誘電体セラミック本体内に、該本体の長手方向に延びる第1の筒状内部電極と、該第1の筒状内部電極の外周を囲む第2の筒状内部電極を夫々配置するとともに、前記第1の筒状内部電極の一方の端部は、前記誘電体セラミック本体の対向する1対の端面の一方の端面に形成された第1の端子電極に接続するとともに、前記第2の筒状内部電極の一方の端部は、他方の端面に形成された第2の端子電極に接続していることを特徴とするセラミックコンデンサである。

## 【0012】

【作用】本発明で、第1の筒状内部電極の外周面と第2の筒状内部電極の内周面とが、誘電体セラミック層を介して対向している。しかも、第1の筒状内部電極は、断面の筒状形状で第1の端子電極に接続し、第2の筒状内部電極は、断面の筒状形状で第2の端子電極に接続している。

【0013】即ち、両筒状内部電極の端面形状の状態で端子電極と接続しているため、接続部分における抵抗成分を最小値とすることができる。

【0014】また、両筒状内部電極の形状が筒状となっているため、筒状内部電極上の高周波電流密度が均一化することになるため、これによって、抵抗成分を低くすることができる。これらによって、特に、低容量（10pF以下）で、100mΩ以下という低抵抗特性を安定して導出できることになる。

【0015】よって、高周波回路において、信号に対するノイズレベルを小さくでき、消費電流を小さくでき、

しかも、回路動作の安定化を図ることができる。

【0016】また、構造的に誘電体セラミック本体内に、筒状内部電極が配置されている構造であり、全体が緻密構造となるため、外部の衝撃や熱衝撃によってセラミック本体にクラックや破損が発生することが一切ない。

【0017】

【実施例】以下、本発明のセラミックコンデンサを図面に基づいて詳説する。

【0018】図1は、本発明のセラミックコンデンサの外観斜視図であり、図2は図1中のX-X線断面図であり、図3は図1中のY-Y線断面図であり、図4は図1中のZ-Z線断面図である。

【0019】本発明のセラミックコンデンサは、誘電体セラミック本体1と第1の筒状内部電極2と第2の筒状内部電極3と第1の端子電極4と第2の端子電極5とから構成されている。

【0020】誘電体セラミック本体1は、概略直方体であり、 $MgTiO_3$ 、 $CaTiO_3$ 、 $BaTiO_3$ などの誘電体セラミック材料が例示できる。例えば、その外形は、長さ1.6mm、幅0.8mm、高さ0.8mmとなっている。

【0021】この誘電体セラミック本体1の内部には、第1の筒状内部電極2と第2の筒状内部電極3とが形成され、また、対向する一対の端面には、夫々第1の端子電極4と第2の端子電極5とが形成されている。

【0022】第1の筒状内部電極2は、 $Ag-Pd$ 、 $Pd$ などの材料からなり、その厚みが4~6 $\mu m$ 程度である。第1の筒状内部電極2の断面形状は、一辺が約270 $\mu m$ の概略方形形状をなし、一方の筒状端部は、誘電体セラミック本体1の第1の端面に露出している。

【0023】第2の筒状内部電極3は、 $Ag-Pd$ 、 $Pd$ などの材料からなり、その厚みが4~6 $\mu m$ 程度である。第2の筒状内部電極3の断面形状は、一辺が約510 $\mu m$ の概略方形形状をなし、第1の筒状内部電極2の外周を誘電体材料を介して取り囲むように形成されている。そして、第2の筒状内部電極3の一方の筒状端部は、誘電体セラミック本体1の第2の端面に露出している。

【0024】これにより、筒状内部電極2、3が形成された誘電体セラミック本体1の断面形状は、図2に示すように、中心部から、例えば、一辺約270 $\mu m$ の断面正方形の誘電体セラミックコア部材11、その周囲に形成された第1の筒状内部電極2、第1の筒状内部電極2の外周に形成された、厚み約120 $\mu m$ の中間の誘電体セラミック層12、さらに、その周囲に形成された第2の筒状内部電極3、第2の筒状内部電極3の外周に形成された厚み約145 $\mu m$ の外周の誘電体セラミック層13とから構成され、結局、誘電体セラミック本体1の断面寸法は約0.8mm角となついる。尚、長さは、例

えば1.6mmである。

【0025】誘電体セラミック本体1の相対向する一対の端面に、図1、図3、図4に示すように、第1の端子電極4、第2の端子電極5が形成されている。

【0026】各々の端子電極4、5は、その端面と、該端面と接する4つ面に形成されてる。端子電極4、5は、 $Ag$ 、 $Ag-Pd$ を主成分とする下地厚膜導体膜と、該下地厚膜導体膜の表面に被着された $Ni$ や半田などのメッキ層とから構成されている。また、第1の端子電極4は、誘電体セラミック本体1の一方の端面に露出した第1の筒状内部電極2に電氣的に接続し、第2の端子電極5は、誘電体セラミック本体1の他方の端面に露出した第2の筒状内部電極3に電氣的に接続している。

【0027】上述の構成により、第1の筒状内部電極2の外周面と第2の筒状内部電極3の内周面とが、誘電体セラミック層12を介して互に対向しあい、両電極2、3の対抗面積、誘電体セラミック層12の厚み、例えば約120 $\mu m$ と、誘電体セラミック層12の誘電率とによる所定容量が第1の筒状内部電極2と第2の筒状内部電極3との間で発生し、この容量が第1の端子電極4と第2の端子電極5との間から導出されることになる。

【0028】上述の構成によれば、誘電体セラミック本体1は、その全体が緻密なセラミックで構成され、剛性が非常に高く構成される。従って、外部の衝撃やプリント配線基板に半田接合する際に発生する熱衝撃によって、誘電体セラミック本体1が破損することが一切ない。

【0029】また、特に、800MHz~2GHzの高周波信号で動作する回路に適用しても、その抵抗成分が100m $\Omega$ 以下となるため、とくに回路のノイズレベルを小さくすることができ、低消費電力のセラミックコンデンサとなる。

【0030】このように高周波信号の回路に用いても、非常に低い抵抗成分となるのは、誘電体セラミック本体1に配置された内部電極の形状に起因するものと考えられる。即ち、従来の誘電体セラミック本体1内に平面的な内部電極層を積層したセラミックコンデンサでは、1つの内部電極層で高周波の電流密度を調べると、内部電極層の端辺付近では疎となり、中央付近では密になってしまう。また、積層された複数の内部電極層で高周波の電流密度を調べると、プリント配線基板に近い底面側の内部電極層で密となついる。

【0031】これに対して、本発明のように内部電極2、3の形状が筒状であり、内部電極2、3の長手方向の端辺が存在しないため、内部電極2、3の高周波の電流密度が全体で略均一になり、また、内部電極2、3が筒状で一體的に形成されていることから、プリント配線基板のパッドからみた内部電極2、3までの電圧降下などが実質的に発生しないことから、従来の積層型のセラ

ミックコンデンサでは得られない抵抗成分が、本発明のセラミックコンデンサでは得られるものと思われる。

【0032】本発明者は、同一の誘電体材料を用い、誘電体層と内部電極の対向面積を種々変更して、本発明のセラミックコンデンサ、従来のセラミックコンデンサの静電容量を1pF、3pF、5pF、7pF、10pFとなるようにし、800MHz～2GHzでの抵抗成分を、インピーダンスアナライザ（HP4291A）に

よって測定した。静電容量1pFの本発明の構造のセラミックコンデンサと従来のセラミックコンデンサの抵抗成分を表1に、3pFの抵抗成分を表2に、5pFの抵抗成分を表3に、7pFの抵抗成分を表4に、10pFの抵抗成分を表5に夫々示す。

【0033】

【表1】

測定周波数(MHz)	本発明品の抵抗成分(mΩ)	従来品の抵抗成分(mΩ)
800	84	356
900	86	368
1000	90	382
1200	93	389
1400	95	395
1600	96	402
1800	96	409

【0034】

【表2】

(静電容量 3pF)

測定周波数(MHz)	本発明品の抵抗成分(mΩ)	従来品の抵抗成分(mΩ)
800	83	258
900	86	260
1000	88	265
1200	88	267
1400	90	281
1600	95	283
1800	95	285

【0035】

【表3】

〔静電容量 5pF〕

測定周波数(MHz)	本発明品の抵抗成分( $m\Omega$ )	従来品の抵抗成分( $m\Omega$ )
800	74	220
900	76	222
1000	78	218
1200	80	220
1400	85	245
1600	86	287
1800	92	285

【0036】

【表4】

〔静電容量 7pF〕

測定周波数(MHz)	本発明品の抵抗成分( $m\Omega$ )	従来品の抵抗成分( $m\Omega$ )
800	72	200
900	75	230
1000	88	209
1200	88	222
1400	85	232
1600	90	237
1800	99	256

【0037】

【表5】

【静電容量 10 pF】

測定周波数(MHz)	本発明品の抵抗成分( $\Omega$ )	従来品の抵抗成分( $\Omega$ )
800	78	201
900	69	205
1000	72	208
1200	75	226
1400	79	233
1600	87	234
1800	88	256

【0038】以上のように、本発明のセラミックコンデンサでは、800MHz～2GHz帯において、低容量（10pF以下）で100m $\Omega$ 以下という極めて低い抵抗成分を示し、高いQ値の回路に適したセラミックコンデンサとなる。

【0039】次に、本発明のセラミックコンデンサの製造方法を説明する。

【0040】まず、図5に示すように、支持基板（図示せず）上に、誘電体セラミックペーストをドクターブレード法によって、誘電体セラミック本体1の外周の誘電体セラミック層13の一部、即ち誘電体セラミック本体1の底面に相当する外周誘電体セラミック層13の一部13dとなる誘電体層を形成する。

【0041】次に図6に示すように、この誘電体層13d上に、第2の内部電極3のである誘電体セラミック本体1の底面側の導体膜3dとなる導体膜をAg-PdまたはPdを主成分とする導電性ペーストを用いて印刷、乾燥を行う。

【0042】次に、図7に示すように、導体膜3dおよびグリーンシート13d上に、中間の誘電体セラミック層12のである誘電体膜12dおよび外周の誘電体セラミック層13の一部である誘電体膜13a<sub>1</sub>、13c<sub>1</sub>を、グリーンシートの誘電体材料と同一材料を含む誘電体ペーストの塗布および乾燥により形成する。この時、第2の筒状内部電極3となる部分には、誘電体ペーストの印刷時によって溝部を形成する。

【0043】次に、図8に示すように、誘電体膜13a<sub>1</sub>、12d、13c<sub>1</sub>上に、第1の筒状内部電極2のである導体膜2dを、誘電体膜13a<sub>1</sub>、12d、13c<sub>1</sub>とが成す溝部に、第2の筒状内部電極3の一部である導体膜3a<sub>1</sub>、3c<sub>1</sub>を、上述の導電性ペーストの塗布および乾燥により形成する。

【0044】次に、図9に示すように、導体膜2d上

に、中心部の誘電体セラミック層となる誘電体膜11を、また先の誘電体膜13a<sub>1</sub>、13b<sub>1</sub>上に外周誘電体セラミック層13の一部である誘電体膜13a<sub>2</sub>、13c<sub>2</sub>を、先の誘電体膜12d上に外周誘電体セラミック層12の一部である誘電体膜12a<sub>1</sub>、12c<sub>1</sub>を、上述の誘電体ペーストの塗布および乾燥により形成する。この時、第1および2の筒状内部電極2、3となる部分には、誘電体ペーストの印刷時によって導体膜2d、3a<sub>1</sub>、3c<sub>1</sub>が露出する溝部を形成する。

【0045】次に、図10に示すように、誘電体膜11上及び誘電体膜11と誘電体膜12a<sub>1</sub>、12c<sub>1</sub>との間の溝部に第1の筒状内部電極2の一部である導体膜2bを、また、誘電体膜13a<sub>2</sub>と12a<sub>1</sub>との間の溝部に第2の筒状内部電極3の一部である導体膜3a<sub>2</sub>を、さらに、誘電体膜13c<sub>2</sub>と12c<sub>1</sub>との間の溝部に、第2の筒状内部電極3の一部である導体膜3c<sub>2</sub>を、上述の導電性ペーストの塗布および乾燥により形成する。

【0046】次に、図11に示すように、導体膜2bおよび誘電体膜12a<sub>1</sub>、12c<sub>1</sub>上に中間の誘電体セラミック層12のである誘電体膜12bを、また、先の誘電体膜13a<sub>2</sub>、13c<sub>2</sub>上に、外周の誘電体セラミック層13の一部である誘電体膜3a<sub>3</sub>、13c<sub>3</sub>を、上述の誘電体ペーストの塗布および乾燥により形成する。この時、第2の筒状内部電極3となる部分には、誘電体ペーストの印刷時によって導体膜3a<sub>2</sub>、3c<sub>2</sub>が露出する溝部を形成する。

【0047】次に、図12に示すように、誘電体膜12b上及び誘電体膜12bと誘電体膜13a<sub>3</sub>、13c<sub>3</sub>との間の溝部に、第2の内部電極3の一部である導体膜3bを、上述の導電性ペーストの塗布および乾燥により形成する。

【0048】次に、図13に示すように、導体膜3bおよび誘電体膜13a<sub>3</sub>、13c<sub>3</sub>上に外周の誘電体セラ

ミック層13の一部である誘電体膜13bを、上述の誘電体ペーストの塗布および乾燥により形成する。

【0049】次に、図14に示すように、上述の誘電体膜13d上に順次印刷積層した積層体を、支持基板から剥離して、各セラミックコンデンサの誘電体セラミック本体1毎に切断する。この切断によって、図3、4に示すように、第1の筒状内部電極2となる導体膜は、切断したチップ体の一方の端面から露出し、第2の筒状内部電極3となる導体膜は、切断したチップ体の他方の端面から露出する。

【0050】次に、図15に示すように、切断したチップ体を300℃のオーブンにて25時間～35時間かけて脱バインダーを行い、1100℃～1200℃の焼成炉にて10時間程度焼成を行う。これにより、誘電体セラミック層11、中間の誘電体セラミック層12、外周の誘電体セラミック層13は互いに一体的になり、各導体膜は、第1の筒状内部電極2、第2の筒状内部電極3となる。

【0051】その後、焼成した誘電体セラミック本体1を、バレル研磨によって、第1の筒状内部電極2、第2の筒状内部電極3が誘電体セラミック本体1の端面から完全に露出させる。

【0052】次に、誘電体セラミック本体1の両端を、AgまたはAg-Pdのペースト内に浸漬し、第1および第2の端子電極4、5の下地厚膜導体膜を塗布し、焼付けを行い、さらに、厚膜導体膜の表面にNiや半田などのメッキ層を塗布する。

【0053】これによって、セラミックコンデンサが完成する。

【0054】即ち、筒状の内部電極2、3を内部に有する誘電体セラミック本体1が、通常の誘電体ペーストを用いて形成するたことができ、しかも、1つの大型誘電体膜上に10000個以上のセラミックコンデンサが同時に形成することができる。

【0055】上述の各誘電体膜は、所定誘電体材料にアクリル系のバインダーと溶剤を混合し、粘度200～300Poise程度の誘電体ペーストを用い、選択的に印刷できるステンレス製の300～400メッシュのスクリーンで形成される。

【0056】また、各導体膜は、所定導体材料にアクリル系のバインダーと溶剤とを混合し、200～300Poise程度の導電性ペーストを用いる。

【0057】また、上述の製造方法では、誘電体セラミック本体1の垂直方向の誘電体膜および筒状内部電極は、誘電体ペーストの選択的な印刷、それによって形成される溝部への導電性ペーストの充填印刷によって形成されるが、例えば誘電体ペースト内に光硬化可能な樹脂成分を混合しておき、例えば誘電体膜を、その下の導体膜を含む全面に塗布、乾燥し、その後、筒状内部電極となる部分のみを、光硬化、エッチングによって選択的な

除去を行い、これによって形成された溝内に導電性ペーストを充填しても構わない。

【0058】尚、上述の実施例では、第1の筒状内部電極2と第2の筒状内部電極3とが、それぞれ一対形成されているが、これを複数対用いても構わない。例えば、中心の誘電体セラミック層11の外周に、第1の端面に露出する内側の第1の筒状内部電極を形成し、その周囲に第1の中間の誘電体セラミック層を形成し、その周囲に、第2の端面に露出する内側の第2の筒状内部電極を形成し、その周囲に第2の中間の誘電体セラミック層を形成し、その周囲に第1の端面に露出する外側の第1の筒状内部電極を形成し、その周囲に第3の中間の誘電体セラミック層を形成し、その周囲に、第2の端面に露出する外側の第2の筒状内部電極を形成し、その周囲に外周の誘電体セラミック層を形成しても構わない。このようにすれば、実施例に比較して大容量のセラミックコンデンサとなる。

【0059】

【発明の効果】本発明によれば、第1の筒状内部電極の外周面（内周面）と第2の筒状内部電極の内周面（外周面）とが、誘電体セラミック層を介して対向している。しかも、第1の筒状内部電極は、筒状の形状で第1の端子電極に接続し、第2の筒状内部電極は、その筒状の形状で第2の端子電極に接続しているため、筒状内部電極内の高周波電流密度が均一化する。これによって、抵抗成分を低くすることができる。

【0060】また、全体が緻密構造となるため、外部の衝撃や熱衝撃によってセラミック本体にクラックや破損が発生することがなく、耐衝撃性に優れたセラミックコンデンサとなる。

【図面の簡単な説明】

【図1】本発明のセラミックコンデンサの外観斜視図である。

【図2】図1中X-X線の断面図である。

【図3】図1中Y-Y線の断面図である。

【図4】図1中Z-Z線の断面図である。

【図5】本発明のセラミックコンデンサの製造方法を説明する概略図である。

【図6】本発明のセラミックコンデンサの製造方法を説明する概略図である。

【図7】本発明のセラミックコンデンサの製造方法を説明する概略図である。

【図8】本発明のセラミックコンデンサの製造方法を説明する概略図である。

【図9】本発明のセラミックコンデンサの製造方法を説明する概略図である。

【図10】本発明のセラミックコンデンサの製造方法を説明する概略図である。

【図11】本発明のセラミックコンデンサの製造方法を説明する概略図である。

【図12】本発明のセラミックコンデンサの製造方法を説明する概略図である。

【図13】本発明のセラミックコンデンサの製造方法を説明する概略図である。

【図14】本発明のセラミックコンデンサの製造方法を説明する概略図である。

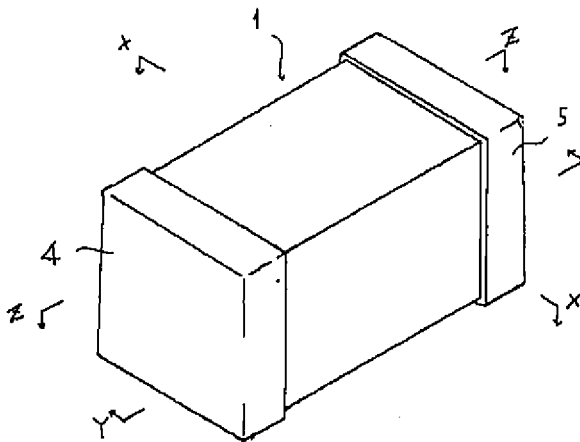
【図15】本発明のセラミックコンデンサの製造方法を説明する概略図である。

【図16】従来の積層セラミックコンデンサを説明する概略図である。

【符号の説明】

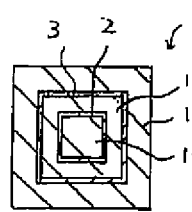
- 1・・・誘電体セラミック本体
- 2・・・第1の筒状内部電極
- 3・・・第2の筒状内部電極
- 4・・・第1の端子電極
- 5・・・第2の端子電極

【図1】



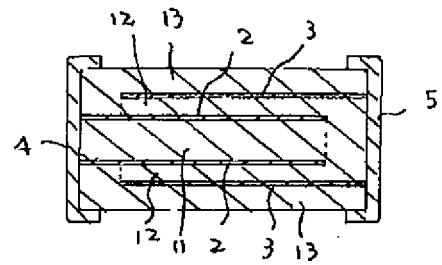
【図4】

【図2】

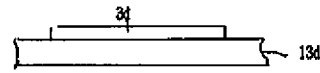


【図5】

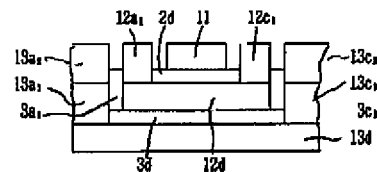
【図3】



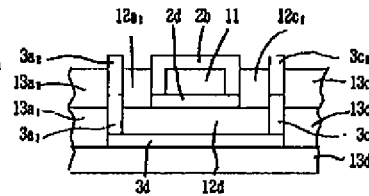
【図6】



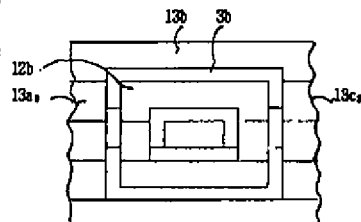
【図9】



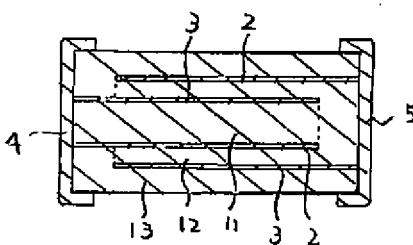
【図10】



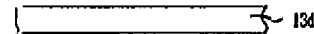
【図13】



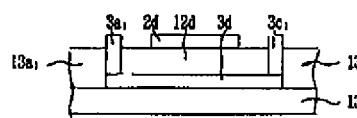
【図7】



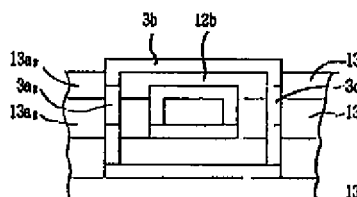
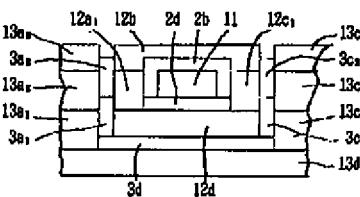
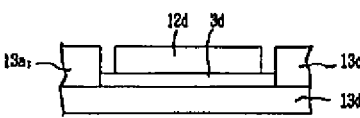
【図8】



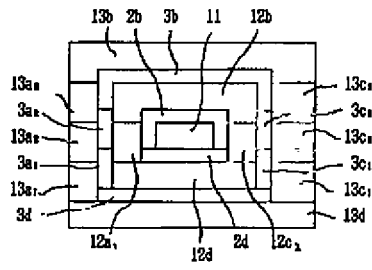
【図12】



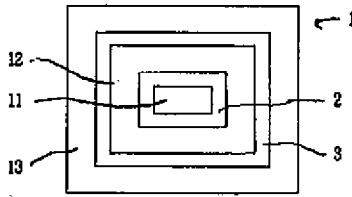
【図11】



【図14】



【図15】



【図16】

